

Analiza układu CMOS oscylatora i sieci synchronizowanych oscylatorów do segmentacji obrazów binarnych

Streszczenie. W artykule przedstawiono analizę symulacyjną układu CMOS pojedynczego oscylatora i sieci synchronizowanych oscylatorów do segmentacji obrazów binarnych za pomocą programu LTspice XVII z wykorzystaniem modelu tranzystora MOS Bsim3v3.2 dla aktualnie oferowanej przez Europractice technologii ON Semi 0.35 μ m C035U 5M. Przedstawiono zmodyfikowany model matematyczny oscylatora, jego implementację CMOS i sieć synchronizowanych oscylatorów. Wykonano symulacje tych układów dla modeli tranzystora MOS „typical”, „slow” i „fast” dla dwóch temperatur.

Abstract. This article presents analyses by simulation of oscillator CMOS circuit and synchronized oscillators network for binary image segmentation using LTspice XVII software and Bsim3v3.2 MOS transistor model for actual ON Semi 0.35 μ m C035U 5M technology offered by Europractice. A modified mathematical oscillator model, its CMOS implementation and synchronized oscillators network have been described. These CMOS circuits simulations using „typical”, „slow” and „fast” MOS transistor models for two temperatures have been performed. (Analyses of oscillator CMOS circuit and synchronized oscillators network for binary image segmentation).

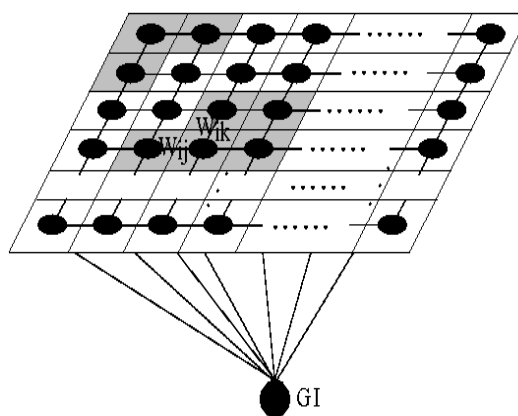
Słowa kluczowe: sieć synchronizowanych oscylatorów, równoległa segmentacja obrazów, etykietowanie, implementacja VLSI CMOS.

Keywords: synchronized oscillator network, parallel image segmentation, labeling, VLSI CMOS implementation.

Wstęp

Segmentacja jest jedną z ważniejszych metod wstępnego przetwarzania obrazów. Polega na podziale obrazu na rozłączne obszary ze względu na określone kryterium jednorodności (np. kolor obszaru, poziom jasności, tekstura). Mimo istnienia wielu metod segmentacji, problem ten w dalszym ciągu nie jest do końca rozwiązany, więc poszukiwanie nowych metod jest celowe i stanowi otwarty problem badawczy [1-7]. Rozwój badań w latach 90-tych dotyczących rozmaitych architektur sztucznych sieci neuronowych oraz metod ich uczenia spowodował opracowanie szeregu algorytmów wykorzystujących te sieci i mających zastosowanie m.in. w problemach segmentacji obrazów [8-10]. Jednym z nowszych narzędzi tego typu do segmentacji obrazów jest sieć synchronizowanych oscylatorów (SSO) [11]. SSO wykorzystuje tzw. teorię „chwilowej korelacji” [12], która próbuje wyjaśnić procesy analizy sceny wizyjnej zachodzącej w ludzkim mózgu. Według tej teorii, dla obserwowanego obrazu następuje ekstrakcja cech związanych z analizowanym obiektem lub obszarem, a następnie cechy te pobudzają komórki nerwowe układu wzrokowego. Dla obszarów jednorodnych z punktu widzenia ludzkiego układu wzrokowego, kolejne komórki nerwowe ulegają aktywacji poprzez lokalne sprzężenia, tworząc mapę analizowanych obszarów, która umożliwia segmentację sceny wizyjnej. Wykorzystanie do tego celu SSO okazało się skuteczne m.in. w przypadku segmentacji szerokiej klasy obrazów biomedycznych [13], w tym zawierających tekstury [14, 15]. W zastosowaniach biomedycznych ważną rolę odgrywa również segmentacja obrazów binarnych. Taka analiza jest przeprowadzana m.in. w przypadku mikroskopowych obrazów tkanki skóry, gdzie istotną informację diagnostyczną stanowi liczba oraz wybrane parametry geometryczne tzw. komórek tucznych [16]. Inny przykład segmentacji obrazów binarnych dotyczy

analizy obrazów z tomografu rezonansu magnetycznego wątroby myszy, gdzie poszukuje się tzw. wysepek insulinowych – grup komórek produkujących insulinę, przeszczepionych do wątroby z trzustki [17]. Takie przeszczepy są stosowane przy leczeniu cukrzycy. Opis działania sieci oscylatorów dla celów segmentacji obrazów binarnych omówiono m.in. w [18]. Każdy oscylator sieci odpowiada jednemu punktowi obrazu, jak pokazano na rys. 1 oraz jest połączony z czterema sąsiadami za pomocą wag W_{ij} (poza oscylatorami brzegowymi) oraz z globalnym układem hamującym GI (ang. Global Inhibitor). Oscylatory reprezentujące dany obiekt obrazu synchronizują się dzięki połączeniom wagowym. Zadaniem globalnego układu hamującego jest zapewnienie desynchronizacji pomiędzy grupami oscylatorów reprezentujących różne obiekty.



Rys. 1. Struktura sieci synchronizowanych oscylatorów

Realizacja sprzętowa sieci synchronizowanych oscylatorów [19-21] pozwala na szybsze wykonanie

segmentacji obrazu w porównaniu do metod opartych na symulacji komputerowej. Równoległa struktura sieci bardzo dobrze nadaje się do takiego zadania. Segmentacja poszczególnych obiektów obrazu dokonuje się wtedy poprzez jednoczesne wzbudzenie wielu oscylatorów, zatem proces ten jest dużo szybszy niż w przypadku szeregowej propagacji pobudzeń, tak jak to ma miejsce przy symulacji komputerowej.

Jedną z realizacji SSO jest układ scalony wykonany w technologii CMOS AMS 0.8μm przedstawiony w [20]. Zrealizowana tam matryca ma wymiary 16×16 oscylatorów. Układ ten nie posiada mechanizmu pozwalającego na określenie zakończenia procesu segmentacji obrazu oraz zliczającego obiekty rozpoznane przez sieć. W przypadku układu przedstawionego w [22] zastosowanie nowocześniejszej technologii AMIS 0.35μm pozwoliło na zaprojektowanie większej matrycy o czterokrotnie większej liczbie komórek przy podobnej powierzchni płytki krzemowej. Układ zaprojektowano w technologii AMIS 0.35μm CO35M-D 5M/1P, która była oferowana przez Europractice w środowisku programu Cadence. Ponadto zastosowany nowy model matematyczny oscylatora SSO jest bardziej elastyczny niż opisany w pracy [20] i posiada podobne właściwości dynamiczne jak oryginalny model zaproponowany przez Wanga i Termiana [11].

Zmodyfikowany model oscylatora sieci synchronizowanych oscylatorów

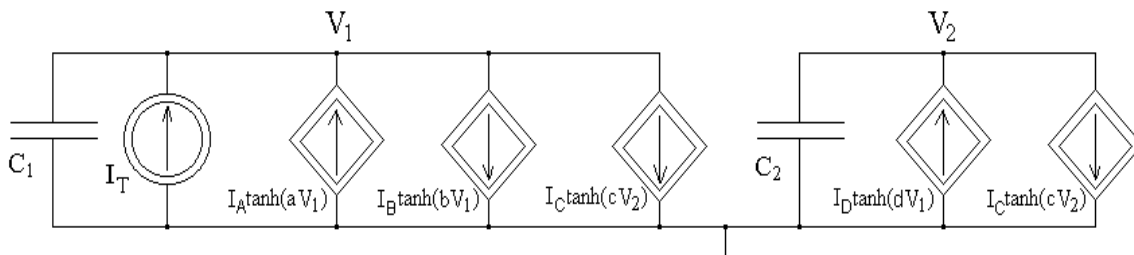
W pracach [11, 23] zaproponowano model oscylatora SSO opisany za pomocą układu dwóch nieliniowych równań różniczkowych

$$(1) \quad \begin{aligned} \frac{dx}{dt} &= 3x - x^3 + 2 - y + I_T, \\ \frac{dy}{dt} &= \varepsilon \left[\gamma \left(1 + \tanh\left(\frac{x}{\beta}\right) \right) - y \right]. \end{aligned}$$

W parze równań (1) x jest zmienną pobudzającą, zaś y zmienną hamującą. I_T jest całkowitym zewnętrznym pobudzeniem oscylatora (w najprostszym przypadku zależy od jasności piksela obrazu), a $\varepsilon, \gamma, \beta$ są stałymi parametrami. Taki model jest bardzo trudny do bezpośredniej implementacji CMOS, dlatego autor zaproponował nowy zmodyfikowany model oscylatora [24] opisany układem dwóch równań różniczkowych

$$(2) \quad \begin{aligned} C_1 \frac{dV_1}{dt} &= I_A \tanh(aV_1) - I_B \tanh(bV_1) - I_C \tanh(cV_2) + I_T, \\ C_2 \frac{dV_2}{dt} &= I_D \tanh(dV_1) - I_C \tanh(cV_2). \end{aligned}$$

Posiada on podobne cechy do modelu opisanego przez równania różniczkowe (1) oraz umożliwia bezpośrednią realizację CMOS z wykorzystaniem wzmacniaczy transkonduktancyjnych OTA (ang. Operational Transconductance Amplifier). W zmodyfikowanym modelu oscylatora SSO V_1 jest zmienną pobudzającą, a V_2 zmienną hamującą. $I_A, I_B, I_C, I_D, C_1, C_2$ oraz a, b, c, d są stałymi parametrami. I_T jest całkowitym zewnętrznym pobudzeniem danego oscylatora. Reprezentacja obwodowa modelu matematycznego oscylatora SSO opisanego przez układ nieliniowych równań różniczkowych (2) jest przedstawiona na rys. 2.



Rys. 2. Reprezentacja obwodowa modelu matematycznego oscylatora sieci synchronizowanych oscylatorów

Dla takiej reprezentacji zmienne V_1, V_2 mają sens fizyczny napięć, a zmienne I_A, I_B, I_C, I_D oraz I_T sens fizyczny prądów. Amplituda oscylacji zmiennej stanu V_1 może być opisana następującym równaniem

$$(3) \quad A_{V1} = -\frac{1}{b} \arctan h \left[\tanh\left(\sqrt{2} \frac{b}{a}\right) - \frac{2I_A}{I_B} \right].$$

Zakładając $A_{V1}=0.5V$ oraz biorąc pod uwagę napięciowe i prądowe ograniczenia aktualnie oferowanej przez Europractice technologii ON Semi 0.35μm C035U 5M, wybrano następujące wartości parametrów modelu oscylatora: $I_A=1.2\mu A, I_B=2\mu A, I_C=2\mu A, I_D=2\mu A, a=10, b=2.44, c=2.44, d=500, C_1=50fF, C_2=1.1pF$. Używając model tranzystora MOS z krótkim kanałem Sakurai'a-Newtona [25], posiadający zwięzły opis matematyczny i dodatkowo przyjmując parametr LAMBDA=0 oraz pomijając oddziaływanie podłoża można wyprowadzić następujące wyrażenie opisujące charakterystykę przejściową $I_o(V_r)$ wzmacniacza transkonduktancyjnego OTA [26]

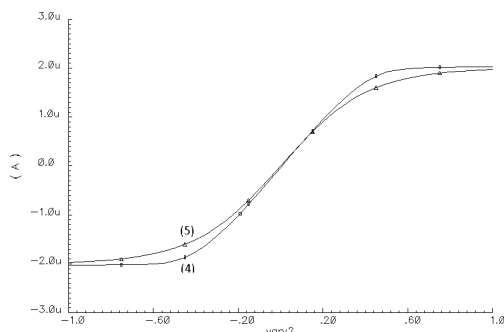
$$(4) \quad I_o = \begin{cases} I_{sat} & dla \quad V_r \geq \sigma \\ -I_{sat} & dla \quad V_r \leq -\sigma \end{cases},$$

$$V_r = n_r \sqrt{\frac{(I_{sat} + I_0)L_{EFFr}}{2W_rB_r}} - n_r \sqrt{\frac{(I_{sat} - I_0)L_{EFFr}}{2W_rB_r}} \quad dla \quad -\sigma < V_r < \sigma.$$

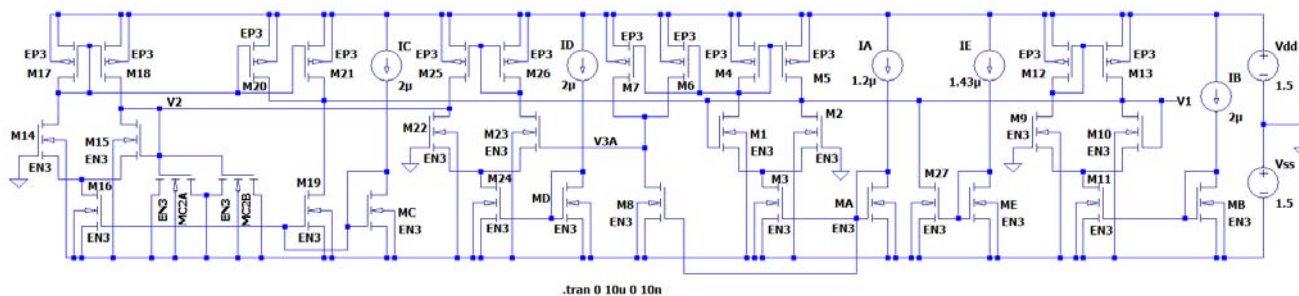
We wzorach (4) V_r jest wejściowym napięciem różnicowym wzmacniacza OTA, B_r – współczynnikiem transkonduktancji pary różnicowej tranzystorów MOS, W_r i L_{EFFr} – szerokością i efektywną długością kanałów tranzystorów MOS pary różnicowej, n_r – wykładnikiem potęgi we wzorze określającym prąd w zakresie nasycenia dla pary różnicowej tranzystorów MOS, I_{sat} i σ – prądem i napięciem nasycenia charakterystyki przejściowej wzmacniacza OTA. Charakterystyka przejściowa wzmacniacza OTA opisana równaniami (4) może być aproksymowana przez następujące wyrażenie

$$(5) \quad I_o = I_{sat} \tanh \left(n_r \cdot 2^{\frac{1-n_r}{n_r}} \sqrt{\frac{B_r W_r}{I_{sat} L_{EFFr}}} \cdot V_r \right).$$

Przykład aproksymacji funkcji (4) za pomocą funkcji (5) jest przedstawiony na rys. 3.



Rys.3. Aproksymacja funkcji (4) za pomocą funkcji (5)



Rys.4. Schemat układu CMOS oscylatora sieci synchronizowanych oscylatorów

Tranzystory M1-M5 realizują funkcję $I_A \tanh(aV_1)$, tranzystory M9-M13 – funkcję $I_B \tanh(bV_1)$, M14-M21 – dwie funkcje $I_C \tanh(cV_2)$, tranzystory M6-M8 i M22-M26 – funkcję $I_D \tanh(dV_1)$, zaś tranzystor M27 jest źródłem prądowym prądu polaryzacji oscylatora I_E . Prąd polaryzacji oscylatora I_E w reprezentacji obwodowej modelu matematycznego oscylatora (rys. 2) jest całkowitym zewnętrznym pobudzeniem oscylatora I_T . Napięcie V_{3A} jest wyrażonym binarnie napięciem V_1 z progiem równym zero (posiada dwie wartości -1.5 V i 1.5 V). Wymiary geometryczne tranzystorów zostały tak dobrane, aby pracowały one stale w zakresie nasycenia przy przyjętych wartościach amplitud oscylacji. Wymiary tranzystorów MOS zostały podane w tabeli 1.

Tabela 1. Wymiary tranzystorów w układzie CMOS oscylatora

Tranzystor	Szerokość kanału W [μm]	Długość kanału L [μm]
M3-M5, MA, M11-M13, MB, M16-M19, MC, M6-M8, M20, M21, M24-M26, MD, M27, ME	1.5	1.0
M1, M2, M22, M23	2.0	1.0
M9, M10, M14, M15	1.0	10.0

W celu zaoszczędzenia powierzchni płytki krzemowej, kondensator C_2 został zaimplementowany wykorzystując pojemności bramek dwóch tranzystorów MC2A oraz MC2B. Ponieważ kanały tych tranzystorów pracują w sposób ciągły w obszarze silnej inwersji, zastępcza pojemność takiej struktury jest liniowa w zakresie przyjętych amplitud oscylacji obydwu zmiennych stanu V_1 i V_2 . Kondensator C_1 został zaimplementowany jako suma pojemności pasozytnicznych bramek tranzystorów MOS w układzie.

Symulacje układu CMOS oscylatora sieci synchronizowanych oscylatorów

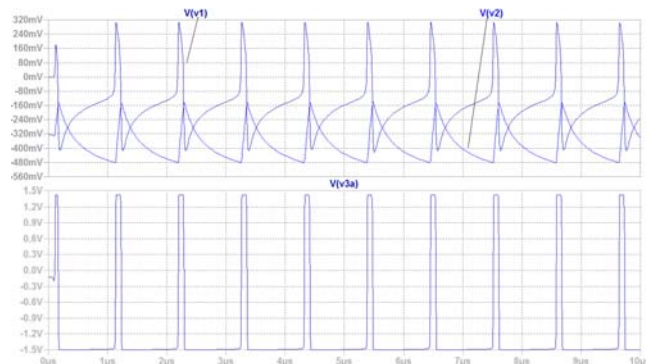
Układ CMOS oscylatora został poddany symulacji stanów przejściowych za pomocą programu LTspice XVII

Opisany sposób aproksymacji funkcji umożliwia fizyczną realizację oscylatora SSO w technologii CMOS z zastosowaniem wzmacniaczy transkonduktancyjnych OTA.

Układ CMOS oscylatora sieci synchronizowanych oscylatorów

Na podstawie modelu obwodowego oscylatora z rys. 2 zaprojektowano jego układ CMOS z wykorzystaniem wzmacniaczy OTA [24]. Schemat układu CMOS oscylatora prezentuje rys. 4.

z wykorzystaniem modelu tranzystora MOS Bsim3 version 3.2 dla aktualnie oferowanej przez Europractice technologii ON Semi 0.35μm C035U 5M. W tej technologii minimalna długość kanału tranzystora MOS wynosi $L_{\min}=0.35\mu\text{m}$, zaś minimalna szerokość kanału tranzystora MOS wynosi $W_{\min}=0.5\mu\text{m}$. Maksymalne napięcie zasilania dla układów wykonanych w tej technologii wynosi $V_{\text{ddmax}}=3.65\text{V}$. W programie LTspice XVII model tranzystora MOS Bsim3 version 3.2 jest zaimplementowany jako Level 8. Do symulacji wykorzystano kolejno modele tranzystorów NMOS i PMOS „typical”, „slow” i „fast”. Na początku przyjęto temperaturę $T=27^\circ\text{C}$. Wyniki symulacji oscylatora z zastosowaniem modelu tranzystora MOS „typical” przedstawia rys. 5.



Rys.5. Wyniki symulacji oscylatora z zastosowaniem modelu tranzystora MOS „typical”

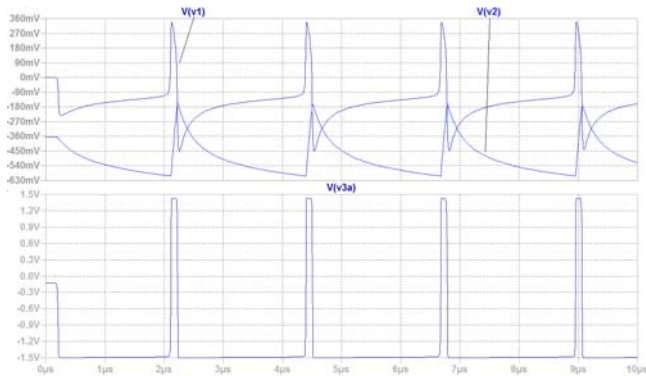
Okres drgań wynosi tu $T=1.06\mu\text{s}$, co odpowiada częstotliwości oscylacji $f=943\text{kHz}$.

Wyniki symulacji oscylatora z zastosowaniem modelu tranzystora MOS „slow” przedstawia rys. 6.

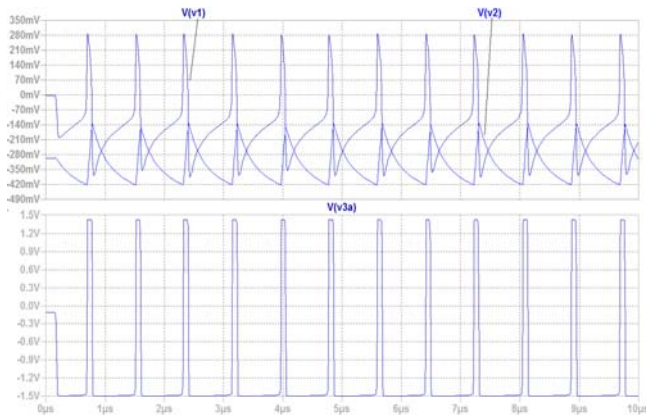
Okres drgań uległ istotnej zmianie i wynosi $T=2.28\mu\text{s}$, co odpowiada częstotliwości oscylacji $f=439\text{kHz}$.

Wyniki symulacji oscylatora z zastosowaniem modelu tranzystora MOS „fast” przedstawia rys. 7. Okres drgań wynosi $T=0.825\mu\text{s}$, co odpowiada częstotliwości oscylacji

$f=1210\text{kHz}$. Częstotliwość drgań oscylatora można kontrolować poprzez zmiany prądu polaryzacji oscylatora I_E . W celu doświadczalnego potwierdzenia tego faktu wykonano symulację układu oscylatora z wykorzystaniem modelu tranzystora MOS „slow” i ze zmniejszonym prądem polaryzacji $I_E=1.35\mu\text{A}$.

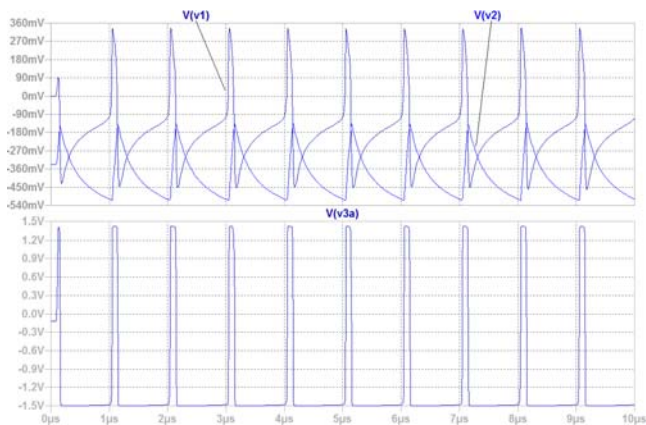


Rys.6. Wyniki symulacji oscylatora z zastosowaniem modelu tranzystora MOS „slow”



Rys.7. Wyniki symulacji oscylatora z zastosowaniem modelu tranzystora MOS „fast”

Wyniki symulacji oscylatora z zastosowaniem modelu tranzystora MOS „slow” i ze zmniejszonym prądem polaryzacji $I_E=1.35\mu\text{A}$ przedstawia rys. 8.



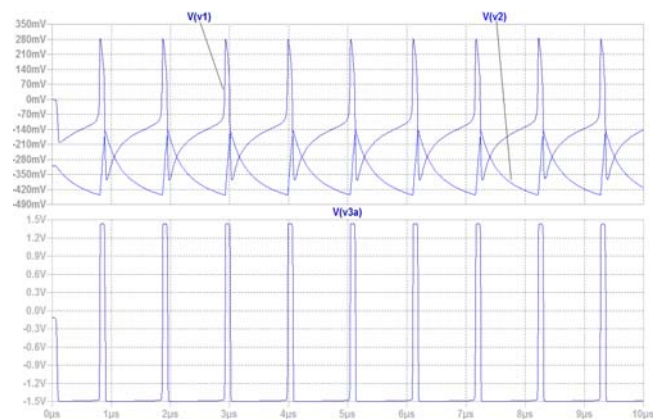
Rys.8. Wyniki symulacji oscylatora z zastosowaniem modelu tranzystora MOS „slow” i ze zmniejszonym prądem polaryzacji $I_E=1.35\mu\text{A}$

Okres drgań wynosi $T=0.984\mu\text{s}$, co odpowiada częstotliwości oscylacji $f=1020\text{kHz}$, podobnie jak dla

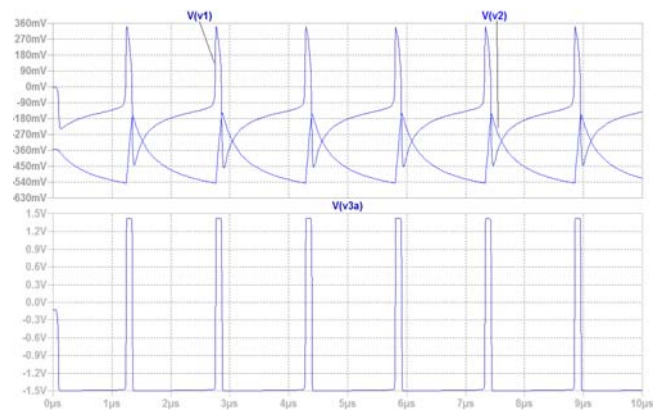
przypadku symulacji oscylatora z zastosowaniem modelu tranzystora MOS „typical” i prądem polaryzacji $I_E=1.43\mu\text{A}$.

Następnie wykonano symulację układu oscylatora z wykorzystaniem modelu tranzystora MOS „fast” i ze zwiększonym prądem polaryzacji $I_E=1.48\mu\text{A}$. Wyniki symulacji oscylatora z zastosowaniem modelu tranzystora MOS „fast” i ze zwiększonym prądem polaryzacji $I_E=1.48\mu\text{A}$ przedstawia rys. 9. Zmiana ta prowadzi do okresu drgań wynoszącego $T=1.05\mu\text{s}$, co odpowiada częstotliwości oscylacji $f=949\text{kHz}$, podobnie jak dla przypadku symulacji oscylatora z zastosowaniem modelu tranzystora MOS „typical” i prądem polaryzacji $I_E=1.43\mu\text{A}$.

Wykonano także symulację oscylatora z zastosowaniem modelu tranzystora MOS „typical”, prądem polaryzacji $I_E=1.43\mu\text{A}$ w temperaturze $T=0^\circ\text{C}$. Wyniki przedstawia rys. 10. Okres drgań wynosi $T=1.54\mu\text{s}$, co odpowiada częstotliwości oscylacji $f=649\text{kHz}$. Częstotliwość drgań oscylatora można dostosować do wymaganej częstotliwości, jak już wykazano, poprzez zmianę prądu polaryzacji oscylatora I_E .



Rys.9. Wyniki symulacji oscylatora z zastosowaniem modelu tranzystora MOS „fast” i ze zwiększonym prądem polaryzacji $I_E=1.48\mu\text{A}$



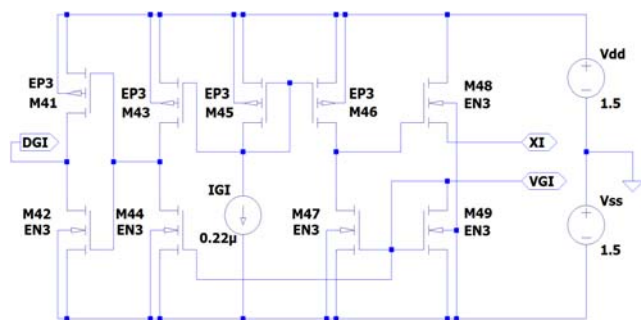
Rys.10. Wyniki symulacji oscylatora z zastosowaniem modelu tranzystora MOS „typical”, prądem polaryzacji $I_E=1.43\mu\text{A}$ i $T=0^\circ\text{C}$

Układ CMOS realizujący funkcję globalnego inhibitora

Schemat układu realizującego funkcję globalnego inhibitora przedstawia rys. 11.

Dołączony do wszystkich komórek sieci sygnał VGI określa stan globalnego inhibitora (GI) i jest aktywowany przez przepływ prądu I_{GI} , w przypadku, gdy co najmniej jeden oscylator w sieci jest aktywny. Aby ograniczyć opóźnienia

w propagacji sygnału pomiędzy GI a komórkami sieci, zastosowano dodatkowe tranzystory M48 i M49.



Rys.11. Schemat układu realizującego funkcję globalnego inhibitora

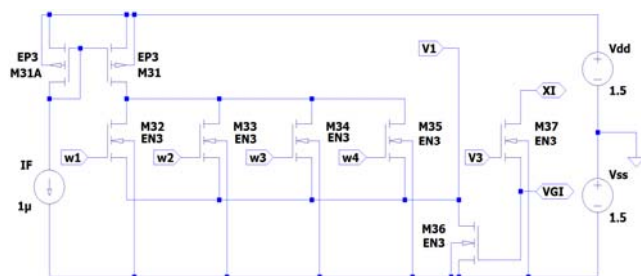
Tranzystory M41-M44 służą do utworzenia cyfrowego (binarnego) napięcia DGI, określającego aktywność układu hamującego. Typowa wartość prądu polaryzacji wynosi $I_{GI} = 0.22 \mu A$. Wymiary tranzystorów MOS w układzie globalnego inhibitora zostały podane w tabeli 2.

Tabela 2. Wymiary tranzystorów w układzie globalnego inhibitora

Tranzystor	Szerokość kanału W [µm]	Długość kanału L [µm]
M45-M47	1.5	1.0
M41	7.2	0.35
M42	4.8	0.35
M43	24	0.35
M44	48	0.35
M48	1	0.35
M49	3	0.35

Układ CMOS realizujący ważne połączenia synaptyczne

Schemat układu realizującego ważne połączenia synaptyczne pomiędzy sąsiednimi oscylatorami pokazano na rys. 12.



Rys.12. Schemat układu realizującego ważne połączenia synaptyczne

Każdy z oscylatorów jest połączony ze swoimi czterema bezpośrednimi sąsiadami w sieci neuronowej dwuwymiarowej. Tranzystor M31, wraz z tranzystorem M31A, tworzy źródło prądowe o typowej wartości $I_F = 1 \mu A$ (wartość tego prądu zależy od prądu źródła prądowego I_F). Prąd ten wpływa do węzła V1 danego oscylatora. Przepływ prądu jest sterowany przez tranzystory M32-M35, których bramki są podłączone do węzłów V3 czterech sąsiednich oscylatorów. Waga pomiędzy danym oscylatorem a jego sąsiadem jest aktywna wtedy, kiedy sąsiedni oscylator jest aktywny. W tym rozwiązaniu układowym wartość wagi (prądu I_F) jest jednakowa, niezależnie od liczby aktywnych sąsiednich oscylatorów. Normalizację wartości wag zastosowano ze względu na szybszą synchronizację aktywnych oscylatorów. Układ formowania wag zawiera również elementy sterujące globalnym układem hamującym GI (tranzystory M36 i M37). Tranzystor M36 jest źródłem prądowym, przesyłającym prąd I_{GI} z węzła VGI

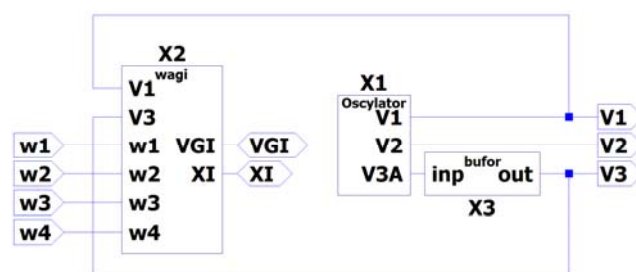
(generowany przez układ GI podczas jego aktywności) do węzła V1 danego oscylatora. Tranzystor M37 aktywuje stan globalnego inhibitora VGI wtedy, gdy przynajmniej jeden oscylator w SSO jest aktywny. Wymiary tranzystorów MOS w układzie realizującym ważne połączenia synaptyczne zostały podane w tabeli 3.

Tabela 3. Wymiary tranzystorów w układzie ważonych połączeń synaptycznych

Tranzystor	Szerokość kanału W [µm]	Długość kanału L [µm]
M31A, M31, M36	1.5	1.0
M32-M35	0.5	0.35
M37	15.95	0.35

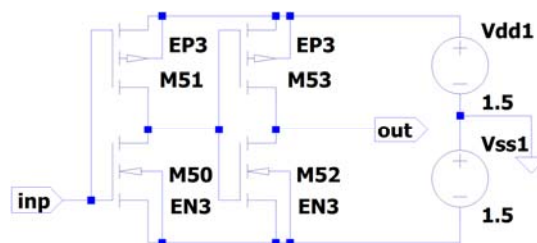
Komórka sieci synchronizowanych oscylatorów

Komórka sieci synchronizowanych oscylatorów składa się z oscylatora, układu realizującego ważne połączenia synaptyczne (wagi) i bufora cyfrowego (bufor). Schemat komórki SSO przedstawia rys. 13. Bufor cyfrowy (bufor) zapewnia odpowiednią obciążalność pojemnościową oraz kształtuje napięcie wyjściowe V_3 (węzeł V3) stanowiące cyfrowy (binarny) odpowiednik napięcia V_1 oscylatora i odzwierciedla stan jego aktywności.



Rys.13. Schemat komórki SSO

Schemat bufora przedstawia rys. 14.



Rys.14. Schemat bufora

Ponadto napięcie wyjściowe V_3 wykorzystywane jest do sterowania układem globalnego inhibitora oraz służy do formowania wag pomiędzy sąsiednimi oscylatorami. Wymiary tranzystorów MOS w układzie realizującym bufor zostały podane w tabeli 4.

Tabela 4. Wymiary tranzystorów w układzie bufora

Tranzystor	Szerokość kanału W [µm]	Długość kanału L [µm]
M50	0.5	0.35
M51	1.6	0.35
M52	5	0.35
M53	16	0.35

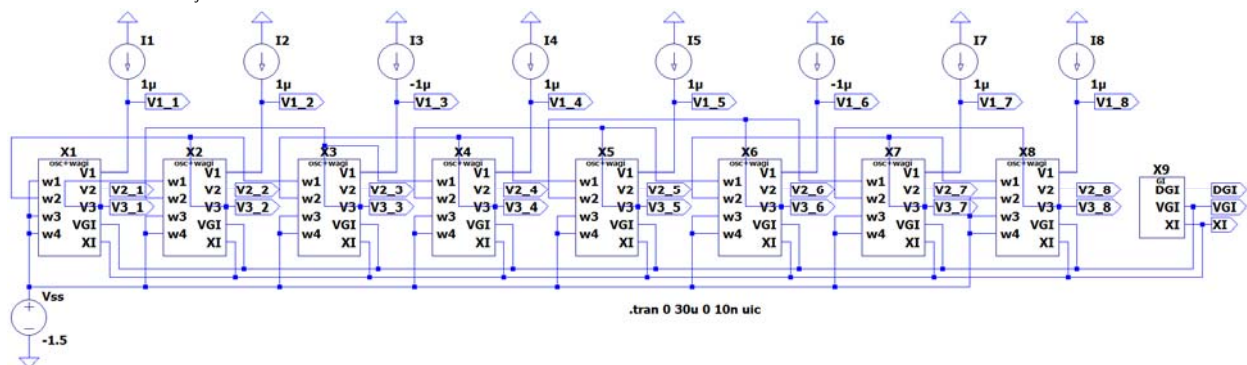
Badania symulacyjne sieci synchronizowanych oscylatorów

W programie LTspice XVII połączono 8 komórek w jednowymiarową SSO, jak pokazano na rys. 15. Taka sieć umożliwia segmentację obrazów binarnych o wymiarach

8x1. Do sieci został dołączony globalny inhibitor (GI) oraz źródła prądowe I1, I2,...,I8, reprezentujące jasności pikseli obrazu wejściowego. Całkowite, zewnętrzne pobudzenie I_T każdego oscylatora można opisać następującym wzorem

$$(6) \quad I_T = I_i + I_F \bigcup_{j=1}^4 \text{Hev}(V_1^j) - I_{GI} \text{Hev}(GI) - I_E$$

We wzorze (6) I_i , gdzie $i=1,2,...,8$, są prądami reprezentującymi jasności pikseli obrazu wejściowego. Dla obiektów w obrazie prąd ten ma wartość $I_i=1\mu A$, zaś dla tła obrazu wartość $I_i = -1\mu A$. I_F jest prądem polaryzacji układu realizującego ważne połączenia synaptyczne (rys. 12) i decyduje o sile połączeń synaptycznych między oscylatorami.

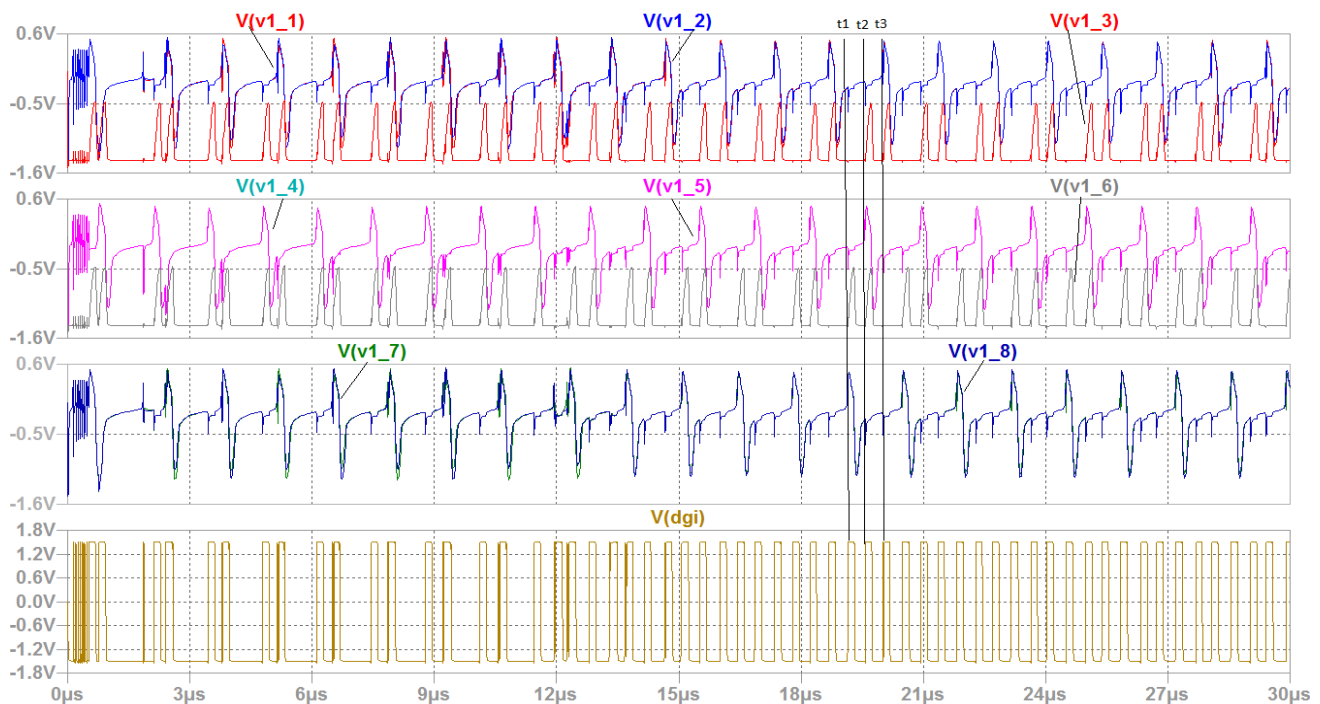


Rys.15. Analizowana sieć synchronizowanych oscylatorów

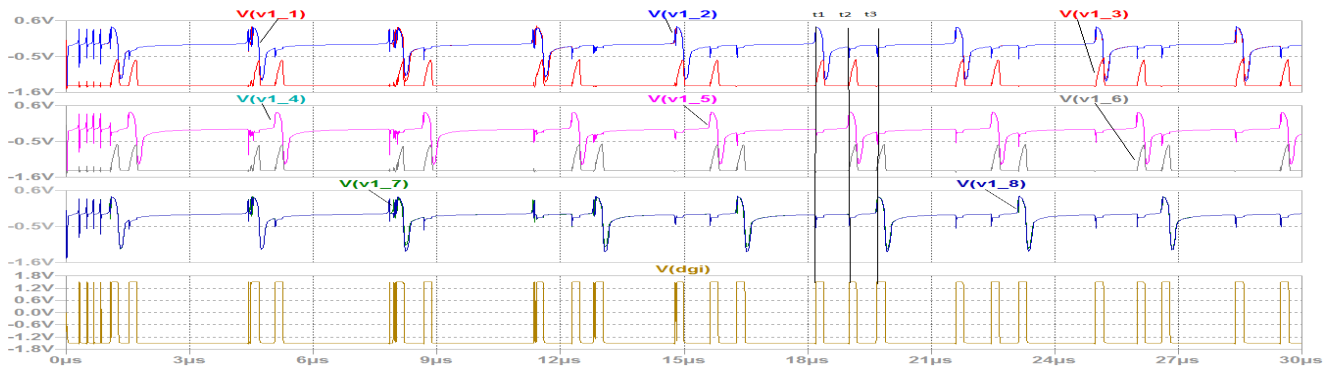
Typowa wartość tego prądu to $I_F = 1\mu A$. Prąd I_{GI} służy do polaryzacji układu globalnego inhibitora (rys. 11) i odpowiada za siłę hamowania wszystkich oscylatorów w SSO. Jego typowe natężenie to $I_{GI}=0,22\mu A$. I_E jest stałym prądem polaryzacji każdego oscylatora w sieci i jest realizowany za pomocą źródła prądowego I_E (rys. 4). Jego typowa wartość dla oscylatorów SSO to $I_E=2.43\mu A$. V_1^j jest j-tą zmienną pobudzającą komórek sąsiedztwa danej komórki. Symbol $\bigcup$ oznacza sumę logiczną, zaś Hev jest funkcją Heaviside'a równą jeden, gdy jej argument jest większy od zera oraz równy zero w przeciwnym wypadku. Globalny inhibitor zapewnia, że w stanie ustalonym tylko jedna grupa oscylatorów reprezentująca dany obiekt jest aktywna w danej chwili, czyli wywołuje desynchronizację grup oscylatorów dołączonych do różnych obiektów. Układy ważonych połączeń synaptycznych zapewniają

synchronizację wszystkich oscylatorów reprezentujących dany obiekt. Właściwy dobór powyższych parametrów gwarantuje prawidłową synchronizację i desynchronizację oscylatorów SSO.

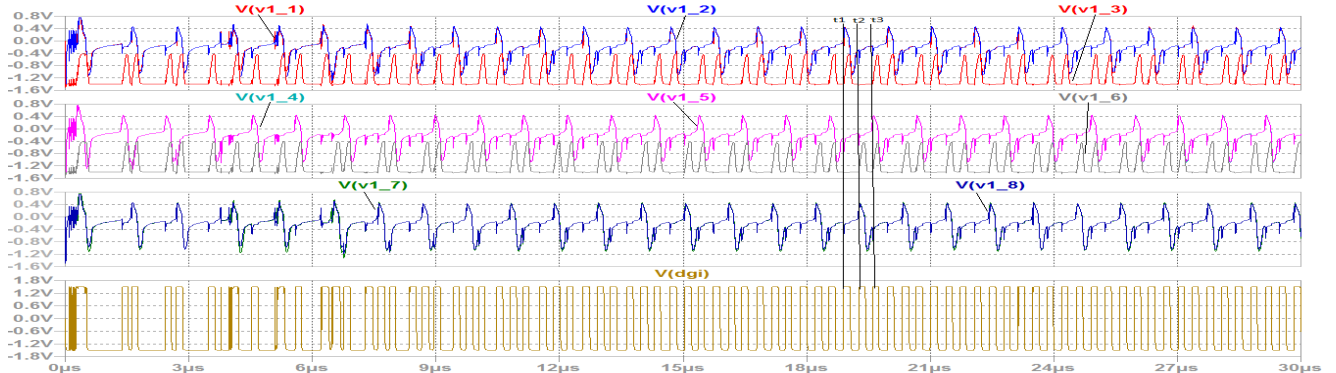
Struktura SSO z rys. 15 została poddana symulacji z użyciem programu LTspice XVII, biorąc pod uwagę 377 tranzystorów MOS. Obraz wejściowy wprowadzają źródła prądowe $I1=1\mu A$, $I2=1\mu A$, $I3=-1\mu A$, $I4=1\mu A$, $I5=1\mu A$, $I6=-1\mu A$, $I7=1\mu A$, $I8=1\mu A$, reprezentujące jasności pikseli obrazu wejściowego. Zatem przetwarzany obraz zawiera 3 obiekty. Do symulacji został wykorzystany model tranzystora MOS BSIM3v3.2. Do symulacji wykorzystano kolejno modele tranzystorów NMOS i PMOS „typical”, „slow” i „fast”. Na początku przyjęto temperaturę $T=27^\circ C$. Wyniki symulacji SSO z zastosowaniem modelu tranzystora MOS „typical” przedstawia rys. 16.



Rys.16. Wyniki symulacji SSO z zastosowaniem modelu tranzystora MOS „typical”



Rys. 17. Wyniki symulacji SSO z zastosowaniem modelu tranzystora MOS „slow”



Rys. 18. Wyniki symulacji SSO z zastosowaniem modelu tranzystora MOS „fast”

Rysunek 16 prezentuje zmienne pobudzające V_1 oscylatorów dołączonych do trzech różnych obiektów, zaś DGI aktywność globalnego inhibitora. W stanie ustalonym oscylatory dołączone do danego obiektu są zsynchronizowane, zaś oscylatory dołączone do różnych obiektów oscylują z przesunięciem fazy, tzn. są zdesynchronizowane. Dla chwil czasowych t_1 , t_2 i t_3 jest możliwe wykrycie trzech obiektów na podstawie obserwowanej aktywności oscylatorów. Takie aktywności oscylatorów zapewniają prawidłową segmentację obrazu. Oscylatory dołączone do tła obrazu nie oscylują, ponieważ prąd dla tła obrazu $I_i = -1\mu A$ skutecznie je blokuje. Okres drgań wynosi tu $T=1.35\mu s$, co odpowiada częstotliwości oscylacji $f=742kHz$.

Wyniki symulacji SSO z zastosowaniem modelu tranzystora MOS „slow” przedstawia rys. 17.

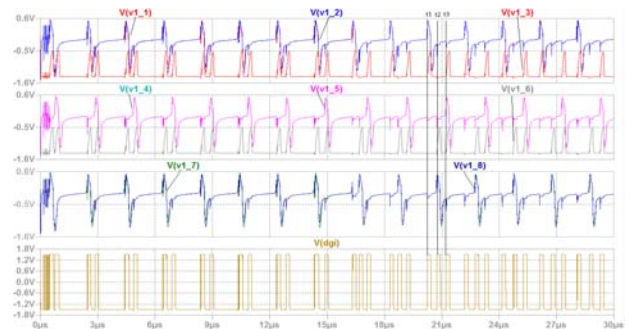
W stanie ustalonym oscylatory dołączone do danego obiektu są także zsynchronizowane, zaś oscylatory dołączone do różnych obiektów oscylują z przesunięciem fazy, tzn. są zdesynchronizowane. Dla chwil czasowych t_1 , t_2 i t_3 jest możliwe wykrycie trzech obiektów na podstawie obserwowanej aktywności oscylatorów. Okres drgań w tym przypadku wynosi $T=3.40\mu s$, co odpowiada częstotliwości oscylacji $f=294kHz$.

Wyniki symulacji SSO z zastosowaniem modelu tranzystora MOS „fast” przedstawia rys. 18.

W stanie ustalonym oscylatory dołączone do danego obiektu są zsynchronizowane, zaś oscylatory dołączone do różnych obiektów oscylują z przesunięciem fazy, tzn. są zdesynchronizowane. Dla chwil czasowych t_1 , t_2 i t_3 jest możliwe wykrycie trzech obiektów na podstawie obserwowanej aktywności oscylatorów. Okres drgań w tym przypadku wynosi $T=1.06\mu s$, co odpowiada częstotliwości oscylacji $f=947kHz$.

Wykonano także symulację SSO z zastosowaniem modelu tranzystora MOS „typical” w temperaturze $T=0^\circ C$. Wyniki przedstawia rys. 19. Działanie SSO w tym

przypadku jest także prawidłowe. Okres drgań wynosi $T=1.95\mu s$, co odpowiada częstotliwości oscylacji $f=512kHz$.



Rys. 19. Wyniki symulacji SSO z zastosowaniem modelu tranzystora MOS „typical” i $T=0^\circ C$

Podsumowanie

W artykule przedstawiono analizę symulacyjną oscylatora CMOS oraz sieci synchronizowanych oscylatorów do segmentacji obrazów binarnych za pomocą programu LTspice XVII z wykorzystaniem modelu tranzystora MOS Bsim3 version 3.2 dla aktualnie oferowanej przez Europractice technologii ON Semi 0.35μm C035U 5M. Opisano zmodyfikowany model matematyczny i obwodowy oscylatora sieci synchronizowanych oscylatorów. Przedstawiono szczegółowo układ CMOS oscylatora oraz analizowanej sieci synchronizowanych oscylatorów. Wykonano symulacje tych układów za pomocą programu LTspice XVII dla modeli tranzystora MOS „typical”, „slow” i „fast” w temperaturze $T=27^\circ C$. Wykonano symulację oscylatora z zastosowaniem modelu tranzystora MOS „slow” i ze zmniejszonym prądem polaryzacji I_E oraz symulację z zastosowaniem modelu tranzystora MOS „fast” i ze zwiększonym prądem polaryzacji I_E . Wykonano także symulację oscylatora z zastosowaniem modelu tranzystora

MOS „typical” i w obniżonej temperaturze wynoszącej $T=0^{\circ}\text{C}$. Korekta prądu polaryzacji I_E wykazała możliwość dostrajania częstotliwości drgań własnych oscylatora do wymaganej częstotliwości. Badany układ oscylatora CMOS wykazał się dość dużą wrażliwością na globalne rozrzuty technologiczne [27, 28] i zmiany temperatury. Jednak możliwości kontroli jego częstotliwości drgań własnych za pomocą zmian prądu polaryzacji oscylatora I_E jest istotną zaletą omawianego projektu.

Porównując wyniki symulacji SSO z zastosowaniem modeli tranzystora MOS „typical”, „slow” i „fast” w temperaturze $T=27^{\circ}\text{C}$, zaobserwowano różne częstotliwości drgań oscylatorów sieci, natomiast działanie SSO w każdym przypadku było prawidłowe. Działanie SSO z zastosowaniem modelu tranzystora MOS „typical” w temperaturze $T=0^{\circ}\text{C}$ było także prawidłowe. Wyniki symulacji świadczą o tym, że działanie SSO jest prawidłowe mimo globalnych rozrzutów technologicznych i zmian temperatury.

SSO wykonana w formie układu scalonego przetwarza obraz w sposób równoległy, więc proces ten jest dużo szybszy niż w przypadku szeregowej propagacji pobudzeń, tak jak to ma miejsce przy symulacji komputerowej. Zaletą technologii ON Semi 0.35 μm C035U 5M jest względnie niski koszt wykonania prototypu dla niewielkiej rozdzielczości przetwarzanego obrazu, np. 32x32 pikseli. Uzyskanie rozdzielczości np. 1000x1000 pikseli byłoby możliwe wykorzystując nowszą technologię UMC 65nm, ale wtedy trzeba zapłacić 35350 Euro za blok o minimalnych wymiarach 4x4 mm.

Zagadnienia naukowe przedstawione w tym artykule należą do aktualnych problemów badawczych dotyczących projektowania analogowych układów scalonych VLSI CMOS sieci neuronowych do przetwarzania obrazów. Przedstawiony przykład projektu układu oscylatora CMOS i sieci synchronizowanych oscylatorów wzbogaca wiedzę na temat projektowania takich układów. Obok dominującej techniki cyfrowej, analogowa technika, która jest bliższa biologicznym sieciom neuronowym nadal jest chętnie wykorzystywana do projektowania układów sieci neuronowych. Ponadto nieustanny rozwój technologii CMOS VLSI dzięki stale zmniejszającemu się wymiarowi charakterystycznemu technologii, zwiększająca się gęstość upakowania elementów w układzie scalonym pozwala na wykonanie bardzo złożonych, szybkich i niezawodnych analogowych sieci neuronowych do wielu zastosowań praktycznych.

Autor: dr hab. inż. Jacek Kowalski, Politechnika Łódzka, Wydział Elektrotechniki, Elektroniki, Informatyki i Automatyki, Instytut Elektroniki, Al. Politechniki 10, budynek B9, 93-590 Łódź, E-mail: jacek.kowalski@p.lodz.pl, adres do korespondencji ul. Żeromskiego 116, 90-924 Łódź.

LITERATURA

- [1] Strzelecki M., Segmentacja tekstury obrazów z wykorzystaniem neuronowych sieci oscylacyjnych i metod statystycznych, *Politechnika Łódzka, Zeszyty Naukowe Nr 949, Rozprawy Naukowe*, Z. 336, Łódź, (2004)
- [2] El-Baz A., Jiang X., Suri J.S. (Eds.), *Biomedical Image Segmentation: Advances and Trends* (1st ed.), CRC Press, (2016), <https://doi.org/10.1201/9781315372273>
- [3] Salazar N., *Advanced Concepts in Image Segmentation*, *Clanrye International*, (2015)
- [4] Badshah N., Ahmad A., Rehman F., Variational level set image segmentation model coupled with kernel distance function, *Journal of Algorithms & Computational Technology*, (January 2020), Vol.14, 1-10, doi:10.1177/1748302620931421
- [5] Li C., Su J., Yu L., Wang L., Ze L., A variational level set method image segmentation model with application to intensity inhomogeneous magnetic resonance imaging, *Digital Medicine*, 4, (2018), 5-15
- [6] Dorfler F., Bullo F., Synchronization in complex networks of phase oscillators: A survey, *Automatica*, 50(6) (2014), 1539-1564
- [7] Meng, J. H., Riecke, H., Synchronization by uncorrelated noise: interacting rhythms in interconnected oscillator networks, *Scientific Reports*, 8(6949) (2018), <https://doi.org/10.1038/s41598-018-24670-y>
- [8] Tadeusiewicz R., *Sieci neuronowe*, *Akademicka Oficyna Wydawnicza RM*, Warszawa, (1993)
- [9] Osowski S., *Sieci neuronowe w ujęciu algorytmicznym*, *Wydawnictwa Naukowo-Techniczne*, Warszawa, (1996)
- [10] Hu Y., Hwang J. (Ed.) *Handbook of Neural Network Signal Processing*, CRC Press, (2002)
- [11] Wang D., Terman D., Locally excitatory globally inhibitory oscillators network, *IEEE Trans. on Neural Networks*, 6(1) (1995), 283-286
- [12] Von der Malsburg, C.; Schneider, W. A neural cocktail-party processor, *Biol. Cybern.*, 54 (1986), 29-40
- [13] Shareef N., Wang D., Yagel R., Segmentation of Medical Images Using LEGION, *IEEE Trans. on Med. Imaging*, 18(1) (1999), 74-91
- [14] Strzelecki M., Segmentation of MRI trabecular-bone images using network of synchronized oscillators, *Machine Graphics & Vision*, 11(1) (2002), 77-100
- [15] Strzelecki M., Materka A., Drozd J., Krzeminska-Pakula M., Kasprzak J. D., Classification and segmentation of intracardiac masses in cardiac tumor echocardiograms, *Computerized Medical Imaging and Graphics*, 30(2) (2006), 95-107
- [16] Strzelecki M., Materka A., Sygut J., Zalewska A., Digital Image Processing Methods For Morphological Characterization Of Mast Cells In Selected Skin Diseases, *Image Processing & Communications*, 5, 1, (1999), 45-56
- [17] Jirak D., Kriz J., Strzelecki M., Yang J., Hasilo C., White DJ., Foster P.J., Monitoring the survival of islet transplants by MRI using a novel technique for their automated detection and quantification, *MAGMA*, (2009 Apr 24), PMID: 19390886
- [18] Česmeli E., Wang D., Texture Segmentation Using Gaussian-Markov Random Fields and Neural Oscillator Networks, *IEEE Trans. on Neural Networks*, 12(2) (2001), 394-404
- [19] Ando H., Morie T., Nagata M., Iwata A., A nonlinear oscillator network for gray-level image segmentation in PWM/PPM circuits for its VLSI implementation, *IEICE Trans. Fundamentals Electron., Comm. Comput. Sci.*, E83A (2000), 329-336
- [20] Cosp J., Madrenas J., Scene Segmentation Using Neuromorphic Oscillatory Networks, *IEEE Trans. on Neural Networks*, 14(5) (2003), 1278-1296
- [21] Cosp J., Madrenas J., Alarcón E., Vidal E., Villar G., Synchronization of Nonlinear Electronic Oscillators for Neural Computation, *IEEE Trans. on Neural Networks*, 15(5) (2004), 1315-1327
- [22] Kowalski J., Strzelecki M., 32x32 Oscillator Network Chip For Binary Image Segmentation, *International Conference on Signals and Electronic Systems - ICSES 2008*, September 14-17 (2008), Kraków, 227-230
- [23] Česmeli E., Wang D., Motion segmentation Based on Motion/Brightness Integration and Oscillatory Correlation, *IEEE Trans. on Neural Networks*, 11(4) (2000), 935-947
- [24] Kowalski J., Strzelecki M., De Vos A., Relaxation oscillator circuit design for image segmentation, *Proc. of IEEE Signal Processing Workshop*, (24 September 2004), Poznań, 27-31
- [25] Sakurai T., Newton A. R., A simple MOSFET model for Circuit Analysis, *IEEE Trans. on Electron Devices*, 38(4) (1991), 887-893
- [26] Kowalski J., Kacprzak T., Analiza i projektowanie sieci neuronowych komórkowych realizowanych w technice układowej wzmacniaczy transkonduktancyjnych jedno- i wielowejściowych, *Kwartalnik Elektroniki i Telekomunikacji*, Tom 47, Zeszyt 1, Wydawnictwo Naukowe PWN, Warszawa, (2001), 87 – 119
- [27] Pelgrom M.J., Duinmaier A.C.J., Welbers A.P.G., Matching Properties of MOS Transistors, *IEEE Journal of Solid-State Circuits*, Vol.24, No.5, (October 1989), 1433-1439
- [28] Conti M., Crippa P., Orcioni S., and Turchetti C., Layout-Based Statistical Modeling for the Prediction of the Matching Properties of MOS Transistors, *IEEE Transactions on Circuits and Systems—I: Fundamental Theory and Applications*, vol. 49, no. 5, (May 2002), 680-685